

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-331064

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 J
21/316			21/316	S
27/08	3 3 1		27/08	3 3 1 E
27/12			27/12	B
29/06			29/06	

審査請求 未請求 請求項の数10 OL (全15頁)

(21)出願番号	特願平9-64724
(22)出願日	平成9年(1997)3月18日
(31)優先権主張番号	特願平8-83675
(32)優先日	平8(1996)4月5日
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平8-86176
(32)優先日	平8(1996)4月9日
(33)優先権主張国	日本 (JP)

(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(72)発明者	森田 清之 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(72)発明者	森本 康 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(72)発明者	荒木 聖 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(74)代理人	弁理士 前田 弘 (外2名)

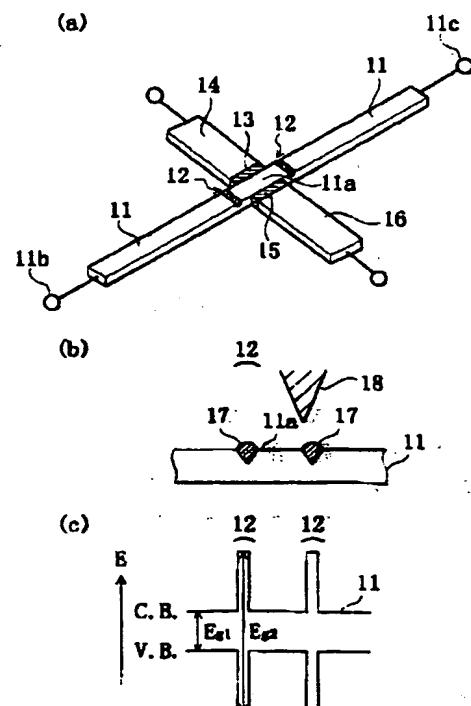
最終頁に続く

(54)【発明の名称】 量子効果素子、量子効果素子の製造方法、半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】 素子専有面積が極めて小さく、且つ、低消費電力の量子効果素子を実現できるようとする。

【解決手段】 シリコンよりなる量子細線11に、シリコン酸化膜よりなる一対のトンネル障壁部12に挟まれてなるシリコン島部11aが形成されている。シリコン島部11aの側部の一方にはシリコン酸化膜よりなるゲート絶縁膜13を介して電位制御用のゲート電極14が設けられ、シリコン島11aの側部の他方にはシリコン酸化膜よりなる絶縁膜15を介して電位制御用の制御電極16が設けられている。トンネル障壁部12は、原子間力顕微鏡等を用いて形成された電界支承酸化膜であるシリコン酸化膜17が量子細線11の表面からそのほぼ中心部まで酸化して形成された量子細線コンストリクション(=くびれ)構造を有している。



【特許請求の範囲】

【請求項1】 シリコンよりなる量子細線と、前記量子細線に、該量子細線が延びる方向に互いに間隔をおいて形成された一対のトンネル障壁部と、前記量子細線における前記一対のトンネル障壁部により挟まれてなる島部に形成されたゲート絶縁膜と、前記ゲート絶縁膜の前記量子細線に対する反対側の面に形成されたゲート電極とを備えていることを特徴とする量子効果素子。

【請求項2】 SOI基板の上部シリコン層の正面に対して全面エッチングを行なうことにより前記上部シリコン層を薄膜化して薄膜シリコン層を形成する工程と、前記薄膜シリコン層の正面に導電性プローブ針を接近させると共に、該導電性プローブ針を前記SOI基板の一辺に対して平行に且つ前記正面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に電界支援酸化膜よりなる第1の直線パターンを形成する工程と、前記第1の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第1の直線パターンに対して垂直に且つ前記正面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に、電界支援酸化膜よりなり、前記第1の直線パターンと交差部を有する第2の直線パターンを形成する工程と、前記第1の直線パターン及び第2の直線パターンをマスクにして前記薄膜シリコン層に対して異方性エッチングを行なうことにより、シリコンよりなり交差部を有する第1の量子細線及び第2の量子細線を形成する工程と、前記第1の直線パターン及び第2の直線パターンを除去した後、前記第1の量子細線における交差部を挟む第1の領域及び第2の領域に導電性プローブ針を順次接近させて電界支援酸化を行なうことにより、前記第1の領域及び第2の領域に電界支援酸化膜よりなるトンネル障壁をそれぞれ形成する工程と、前記第2の量子細線における交差部を挟む第3の領域及び第4の領域に導電性プローブ針を順次接近させて電界支援酸化を行なうことにより、前記第3の領域及び第4の領域に電界支援酸化膜よりなる絶縁膜をそれぞれ形成する工程とを備えていることを特徴とする量子効果素子の製造方法。

【請求項3】 SOI基板上に形成されたシリコンよりなる島形状のキャリア転送部と、SOI基板上で且つ前記キャリア転送部の一端部に第1のトンネル障壁を介して形成されたシリコンよりなる第1の量子細線と、SOI基板上で且つ前記キャリア転送部の他端部に第2のトンネル障壁を介して形成されたシリコンよりなる第2の量子細線と、SOI基板上で且つ前記キャリア転送部の前記一端部と前記他端部との間に第3のトンネル障壁を介して形成されたシリコンよりなる島形状の第1のキャリア転送部と、

前記他端部との間に第3のトンネル障壁を介して形成されたシリコンよりなる第3の量子細線と、前記キャリア転送部に絶縁膜を介して形成された第1の制御電極と、前記第2の量子細線に絶縁膜を介して形成された第2の制御電極と、前記第3の量子細線に絶縁膜を介して形成された第3の制御電極とを備えていることを特徴とする半導体装置、【請求項4】 前記第1、第2及び第3のトンネル障壁は、量子細線の一部分が他の部分よりも断面積が小さく形成された量子細線コンストリクションよりなることを特徴とする請求項3に記載の半導体装置、【請求項5】 SOI基板上に形成されたシリコンよりなる島形状の第1のキャリア転送部と、SOI基板上で且つ前記第1のキャリア転送部の一端部に第1のトンネル障壁を介して形成されたシリコンよりなる第1の量子細線と、SOI基板上で且つ前記第1のキャリア転送部の他端部に第2のトンネル障壁を介して形成されたシリコンよりなる第2の量子細線と、SOI基板上で且つ前記第1のキャリア転送部の前記一端部と前記他端部との間に第3のトンネル障壁を介して形成されたシリコンよりなる島形状の第2のキャリア転送部と、SOI基板上で且つ前記第2のキャリア転送部における前記第2の量子細線側の側部に第4のトンネル障壁を介して形成されたシリコンよりなる第3の量子細線と、前記第1のキャリア転送部に絶縁膜を介して形成された第1の制御電極と、前記第2の量子細線及び第3の量子細線に絶縁膜を介して形成された第2の制御電極と、前記第2のキャリア転送部に絶縁膜を介して形成された第3の制御電極とを備えていることを特徴とする半導体装置、【請求項6】 前記第1、第2、第3及び第4のトンネル障壁は、量子細線の一部分が他の部分よりも断面積が小さく形成された量子細線コンストリクションよりなることを特徴とする請求項5に記載の半導体装置、【請求項7】 SOI基板の上部シリコン層の正面に対して全面エッチングを行なうことにより前記上部シリコン層を薄膜化して薄膜シリコン層を形成する工程と、前記上部シリコン層の正面に導電性プローブ針を接近させると共に、該導電性プローブ針を前記SOI基板の一辺に対して平行に且つ前記正面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に電界支援酸化膜よりなる第1の直線パターンを形成する工程と、前記第1の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第1の直線パターンに対して垂直に且つ前記正面に沿って走査

させて電界支援酸化を行なうことにより、前記導膜シリコン層の表面に、電界支援酸化膜よりなり、前記第1の直線ハターンと第1の分岐部により接続される第2の直線ハターンを形成する工程と、

前記第2の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第2の直線パターンに対して垂直に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記導膜シリコン層の表面に、電界支援酸化膜よりなり、前記第2の直線パターンと第2の分岐部により接続される第3の直線パターンを形成する工程と、

前記第1の直線パターン、第2の直線パターン及び第3の直線パターンをマスクにして前記導膜シリコン層に対して異方性エッチングを行なうことにより、シリコンよりなり、第1の分岐部において互いに接続される第1の量子細線及び第2の量子細線と、該第2の量子細線と第2の分岐部において接続される第3の量子細線とを形成する工程と、

前記第1の量子細線の反対側の第1の領域に導電性プロープ針を接近させて電界支援酸化を行なうことにより、前記第1の領域に電界支援酸化膜よりなる第1のトンネル障壁を形成する工程と、

前記第1の量子細線における前記第1の分歧部に対する前記第3の量子細線側の第2の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第2の領域に電界支援酸化膜よりなる第2のトンネル障壁を形成する工程と、

前記第2の量子細線における前記第2の分歧部に対する前記第1の分歧部側の第3の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第3の領域に電界支援顕微鏡化膜よりなる第3のトンネル障壁を形成する工程と、

前記第3の量子細線における前記第2の分岐部側の第4の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第4の領域に電界支援酸化膜よりなる第4のトンネル障壁を形成する工程と、

前記SOI基板の上に全面にわたって層間絶縁膜を堆積する工程と、

前記層間絶縁膜の上で且つ前記第1の分歧部の上方の領域に第1の制御電極を形成する工程と、
前記層間絶縁膜の上であって、前記第1の量子細線における前記第2のトンネル障壁に対する前記第3の量子細線側の上方の領域及び前記第3の量子細線の上方の領域に第2の制御電極を形成する工程と、

前記層間絶縁膜の上で且つ前記第2の分岐部の上方の領域に第3の制御電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法.

【請求項8】 前記第1、第2、第3及び第4のトンネル隔壁は、電子線の断面が完全に酸化されることによ

り形成されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第1、第2、第3及び第4のトンネル障壁は、量子細線の断面の一部が酸化されることにより形成されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記SOI基板における薄膜シリコン層の膜厚はう0 nm以下であることを特徴とする請求項8又は9に記載の半導体装置の製造方法。

【発明の詳細な説明】

{0001}

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、量子効果素子及びその製造方法、並びに半導体細線を用いた単電子トランジスタにより二分決定グラフ回路を形成し該回路を簡素化した半導体装置及びその製造方法に関するもの。

{00021}

【従来の技術】近年、パーソナル携帯機器に対するLSIの低消費電力化の強い要求がある。LSIの低消費電力化は、携帯機器全体の低消費電力化をもたらすため、電池駆動における動作時間の延長を可能にするからであり、このため、半導体素子の低消費電力化が着実に進められてきている。

【0003】近年、半導体素子の主流となっているC-MOS型半導体素子にあっては、その消費電力Pが $P = f \cdot C \cdot V^2$ で表わされる。ここで、fは回路の動作周波数、Cは回路全体の等価容量、Vは動作電源電圧である。これにより、動作周波数fを同一として比較した場合に、消費電力Pを低減するには、回路全体の等価容量Cを低減し、動作電源電圧Vを小さくすることが必要となる。容量を低減し、動作電圧を小さくすることは、即ち、移動するキャリアの数を減少させることに対応する。

【0004】従って、半導体素子の低消費電力化を図るためにには、信号を伝達するキャリアの数を減少させることが必要である。単一電子素子はその究極の形であり、信号を1つの電子で伝達する (Nakazato et al., IEDM Tech. Digest, p487(1992)) この単一電子素子はポストSi-VLSIの最有力候補として注目を集めている。近年の微細加工技術の進展に伴って、電子の波長と同程度の微細構造を形成することが可能になり、数個の電子を用いた素子でビット情報を表わし、今日の半導体デバイスの概念の延長で単一電子素子を構築する試みがなされている。

【00005】以下、従来の4端子单一電子素子を図面を参照してから説明する。

【図9(a)】図9(a)は従来の疑似CMOS単一電子回路に用いる1端子単一電子素子を示す概略回路図である(Tucker JR : J. Appl. Phys. 72, 4399 (1992))。図9(a)に示すように、従来の4端子単一電子素子

は、一方の電極が共通接続部101に接続され、他方の電極がドレイン端子102に接続された第1のトンネル接合103と、一方の電極が共通接続部101に接続され、他方の電極がソース端子104に接続された第2のトンネル接合104と、一方の電極が共通接続部101に接続され、他方の電極がゲート端子106に接続された第1のキャバシタ107と、一方の電極が共通接続部101に接続され、他方の電極が電源端子108に接続された第2のキャバシタ109とから構成されている。

【0007】4端子単一電子素子の動作は、例えば、電源端子108を電源電圧VDDに設定し、ゲート端子106をゲート電極として動作させれば、n型素子となり、電源端子108を接地し、ゲート端子106をゲート電極として動作させれば、p型素子となる。従って、これらn型とp型との4端子単一電子素子を1つずつ組み合わせれば、CMOS回路と同等な回路を構築することができる。図9(b)は従来の4端子単一電子素子の動作のシミュレーション結果であり、MOSFETのVd-Id特性と同様な特性が得られることが予測されている。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来の単一電子素子は、信号を1つの電子で伝達するものであり、低消費電力化の観点からは究極のデバイスの一つと考えられるものの、以下に挙げるようによつて2つの問題を有している。

【0009】第1の問題は加工技術にある。加工技術に関しては、量産性及び材料安定性に優れたシリコンを用いて図9(a)の素子を実現しようとする場合には、図9(b)に示されているように、トンネル接合の容量を数aF(アトファラッド: 10^{-18} F)と極めて小さな値にする必要があり、nmレベルの微細加工技術が不可欠となる。従来の電子線リソグラフィー技術を用いた量子効果素子の製造方法では、幅10nm程度の描画が限界であり、顕著な量子効果が期待できる数nm以下の素子形成は困難であるという問題を有している。また、電子線を用いた場合には、シリコン基板表面にプロセスダメージが生じるため、素子特性を劣化させるという問題を有している。

【0010】第2の問題は回路技術にある。回路技術に関しては、単一電子素子は従来のVLSIの主流であるCMOS技術とは動作構造が異なっており、且つ、原理的に入力電圧及び出力電圧が極めて小さいため、従来の回路技術と異なった論理回路の技術を適用する必要がある。これに対して、単電子トランジスタを用いて二分決定グラフ回路を構築するという提案が出ている(雨宮好仁ら、応用物理、64、No.8、765-768(1995))。

【0011】本発明は、前記従来の問題を解決し、素子専有面積が極めて小さく、且つ、低消費電力の量子効果素子を実現できるようにすることを目的とする。

【0012】

【課題を解決するための手段】前記の目的を達成するため、本発明は、既存のシリコン半導体技術に適合する、走査型プローブ顕微鏡を用いた電界支援酸化プロセス及び結晶異方性エッチングを応用したダメージフリープロセスを用いる構成とするものである。単一電子素子は、原理的に入力電圧及び出力電圧が非常に小さいため、電圧振幅を大きく扱える他のデバイスと結合させる必要があり、本発明を用いた製造方法を用いると、現在主流であるSi-CMOSデバイスと容易に且つ確実に結合させることができる。

【0013】具体的に請求項1の発明が講じた解決手段は、量子効果素子を、シリコンよりなる量子細線と、前記量子細線に、該量子細線が伸びる方向に互いに間隔を保いて形成された一对のトンネル障壁部と、前記量子細線における前記一对のトンネル障壁部により挟まれてなる島部に形成されたゲート絶縁膜と、前記ゲート絶縁膜の前記量子細線に対する反対側の面に形成されたゲート電極とを備えている構成とするものである。

【0014】請求項1の構成により、シリコンよりなり、一对のトンネル障壁部に挟まれてなる島部を有する量子細線と、該島部に形成されたゲート絶縁膜を介して設けられたゲート電極とを備えているため、量子細線の一端部をソース電極とし、他端部をドレイン電極とすると、疑似CMOS単一電子回路に用いる単一電子素子を確実に実現できる。さらに、島部のゲート電極に対する反対側の側部に絶縁膜を介して別のゲート電極を設ければ、4端子単一電子素子を容易に実現することができる。

【0015】請求項2の発明が講じた解決手段は、量子効果素子の製造方法を、SOI基板の上部シリコン層の主面に対して全面エッチングを行なうことにより前記上部シリコン層を薄膜化して薄膜シリコン層を形成する工程と、前記薄膜シリコン層の主面に導電性プローブ針を接近させると共に、該導電性プローブ針を前記SOI基板の一辺に対して平行に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に電界支援酸化膜よりなる第1の直線パターンを形成する工程と、前記第1の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第1の直線パターンに対して垂直に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に電界支援酸化膜よりなり、前記第1の直線パターンと交差部を有する第2の直線パターンを形成する工程と、前記第1の直線パターン及び第2の直線パターンをマスクにして前記薄膜シリコン層に対して異方性エッチングを行なうことにより、シリコンよりなり交差部を有する第1の量子細線及び第2の量子細線を形成する工程と、前記第1の直線パターン及び第2の直線パターンを除去した後、前記第1

の量子細線における交差部を挟む第1の領域及び第2の領域に導電性プローブ針を順次接近させて電界支援酸化を行なうことにより、前記第1の領域及び第2の領域に電界支援酸化膜よりなるトンネル障壁をそれぞれ形成する工程と、前記第2の量子細線における交差部を挟む第3の領域及び第4の領域に導電性プローブ針を順次接近させて電界支援酸化を行なうことにより、前記第3の領域及び第4の領域に電界支援酸化膜よりなる絶縁膜をそれぞれ形成する工程とを備えている構成とするものである。

【0016】請求項2の構成により、上部シリコン層を薄膜化して薄膜シリコン層を形成した後、導電性プローブ針を薄膜シリコン層の正面に接近させ、且つ、該正面に沿って走査させることにより、電界支援酸化膜よりなる第1の直線パターン及び該第1の直線パターンと交差する第2の直線パターンを形成し、その後、第1及び第2の直線パターンをマスクにして薄膜シリコン層に対して異方性エッチャングを行なうことにより、互いに交差する交差部を有する第1及び第2の量子細線とを形成し、第1の量子細線の交差部を挟む第1の領域及び第2の領域に導電性プローブ針を順次接近させて電界支援酸化膜よりなるトンネル障壁をそれぞれ形成すると共に、第2の量子細線の交差部を挟む第3の領域及び第4の領域に導電性プローブ針を順次接近させて電界支援酸化膜よりなる絶縁膜をそれぞれ形成するため、第1の量子細線の第1の領域側の端部をソース電極とし、第2の領域側の端部をドレイン電極とし、第2の量子細線の第3の領域側の端部を第1のゲート電極とし、第4の領域側の端部を第2のゲート電極とすると、疑似CMOS単一電子回路に用いる半端子単一電子素子を確実に実現することができる。

【0017】請求項3の発明が講じた解決手段は、半導体装置を、SOI基板上に形成されたシリコンよりなる島形状のキャリア転送部と、SOI基板上で且つ前記キャリア転送部の一端部に第1のトンネル障壁を介して形成されたシリコンよりなる第1の量子細線と、SOI基板上で且つ前記キャリア転送部の他端部に第2のトンネル障壁を介して形成されたシリコンよりなる第2の量子細線と、SOI基板上で且つ前記キャリア転送部の前記一端部と前記他端部との間に第3のトンネル障壁を介して形成されたシリコンよりなる第3の量子細線と、前記キャリア転送部に絶縁膜を介して形成された第1の制御電極と、前記第2の量子細線に絶縁膜を介して形成された第2の制御電極と、前記第3の量子細線に絶縁膜を介して形成された第3の制御電極とを備えている構成とするものである。

【0018】請求項3の構成により、第1の量子細線を入力端子とし、第2の量子細線を第1の出力端子とし、第3の量子細線を第2の出力端子とし、入力端子に入力され、キャリア転送部に絶縁膜を介して形成された第1

の制御電極に電位を印加することにより該キャリア転送部に転送されたキャリアを、第2の量子細線に絶縁膜を介して形成された第2の制御電極、又は第3の量子細線に絶縁膜を介して形成された第3の制御電極に電位を印加することにより、第1の出力端子又は第2の出力端子に出力する二分決定グラフ回路を確実に実現することができる。

【0019】請求項4の発明は、請求項3の構成に、前記第1、第2及び第3のトンネル障壁は、量子細線の一部分が他の部分よりも断面積が小さく形成された量子細線コンストリクションよりなる構成を付加するものである。

【0020】請求項5の発明が講じた解決手段は、半導体装置を、SOI基板上に形成されたシリコンよりなる島形状の第1のキャリア転送部と、SOI基板上で且つ前記第1のキャリア転送部の一端部に第1のトンネル障壁を介して形成されたシリコンよりなる第1の量子細線と、SOI基板上で且つ前記第1のキャリア転送部の他端部に第2のトンネル障壁を介して形成されたシリコンよりなる第2の量子細線と、SOI基板上で且つ前記第1のキャリア転送部の前記一端部と前記他端部との間に第3のトンネル障壁を介して形成されたシリコンよりなる島形状の第2のキャリア転送部と、SOI基板上で且つ前記第2のキャリア転送部における前記第2の量子細線側の側部に第4のトンネル障壁を介して形成されたシリコンよりなる第3の量子細線と、前記第1のキャリア転送部に絶縁膜を介して形成された第1の制御電極と、前記第2の量子細線及び第3の量子細線に絶縁膜を介して形成された第2の制御電極と、前記第2のキャリア転送部に絶縁膜を介して形成された第3の制御電極とを備えている構成とするものである。

【0021】請求項5の構成により、第1の量子細線を入力端子とし、第2の量子細線を第1の出力端子とし、第3の量子細線を第2の出力端子とし、入力端子に入力され、第1のキャリア転送部に絶縁膜を介して形成された第1の制御電極に電位を印加することにより該第1のキャリア転送部に転送されたキャリアを、第2の量子細線及び第3の量子細線に絶縁膜を介して形成された第2の制御電極、又は第2のキャリア転送部に絶縁膜を介して形成された第3の制御電極に電位を印加することにより、第1の出力端子又は第2の出力端子に出力する二分決定グラフ回路を確実に実現することができる。

【0022】請求項6の発明は、請求項5の構成に、前記第1、第2、第3及び第4のトンネル障壁は、量子細線の一部分が他の部分よりも断面積が小さく形成された量子細線コンストリクションよりなる構成を付加するものである。

【0023】請求項7の発明が講じた解決手段は、半導体装置の製造方法を、SOI基板の上部シリコン層の正面に対して全面エッチャングを行なうことにより前記上部

シリコン層を薄膜化して薄膜シリコン層を形成する工程と、前記上部シリコン層の主面に導電性プローブ針を接近させると共に、該導電性プローブ針を前記S〇I基板の一辺に対して平行に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に電界支援酸化膜よりなる第1の直線パターンを形成する工程と、前記第1の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第1の直線パターンに対して垂直に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に、電界支援酸化膜よりなり、前記第1の直線パターンと第1の分岐部により接続される第2の直線パターンを形成する工程と、前記第2の直線パターンの所定領域に導電性プローブ針を接近させると共に、該導電性プローブ針を前記第2の直線パターンに対して垂直に且つ前記主面に沿って走査させて電界支援酸化を行なうことにより、前記薄膜シリコン層の表面に、電界支援酸化膜よりなり、前記第2の直線パターンと第2の分岐部により接続される第3の直線パターンを形成する工程と、前記第1の直線パターン、第2の直線パターン及び第3の直線パターンをマスクにして前記薄膜シリコン層に対して異方性エッチングを行なうことにより、シリコンよりなり、第1の分岐部において互いに接続される第1の量子細線及び第2の量子細線と、該第2の量子細線と第2の分岐部において接続される第3の量子細線とを形成する工程と、前記第1の量子細線における前記第1の分岐部に対する前記第3の量子細線の反対側の第1の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第1の領域に電界支援酸化膜よりなる第1のトンネル障壁を形成する工程と、前記第1の量子細線における前記第1の分岐部に対する前記第3の量子細線側の第2の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第2の領域に電界支援酸化膜よりなる第2のトンネル障壁を形成する工程と、前記第2の量子細線における前記第2の分岐部に対する前記第1の分岐部側の第3の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第3の領域に電界支援酸化膜よりなる第3のトンネル障壁を形成する工程と、前記第3の量子細線における前記第2の分岐部側の第4の領域に導電性プローブ針を接近させて電界支援酸化を行なうことにより、前記第4の領域に電界支援酸化膜よりなる第4のトンネル障壁を形成する工程と、前記S〇I基板の上に全面にわたって層間絶縁膜を堆積する工程と、前記層間絶縁膜の上で且つ前記第1の分岐部の上方の領域に第1の制御電極を形成する工程と、前記層間絶縁膜の上であって、前記第1の量子細線における前記第2のトンネル障壁に対する前記第3の量子細線側の上方の領域及び前記第3の量子細線の上方の領域に第2の制御電極を形成する工程と、前記層間絶縁膜の上で且つ前記第2

の分岐部の上方の領域に第3の制御電極を形成する工程とを備えている構成とするものである。

【0024】請求項7の構成により、第1の量子細線における第1の領域側の端部を入力端子とし、第1の量子細線における第2の領域側の端部を第1の出力端子とし、第3の量子細線の端部を第2の出力端子とし、入力端子に入力され、層間絶縁膜を介して第1の分岐部の上方の領域に形成された第1の制御電極に電位を印加することにより第1の分岐部に転送されたキャリアを、層間絶縁膜を介して第1の量子細線における第2のトンネル障壁に対する第3の量子細線側の上方の領域及び第3の量子細線の上方の領域に形成された第2の制御電極に、又は層間絶縁膜を介して第2の分岐部の上方の領域に形成された第3の制御電極に電位を印加することにより、第1の出力端子又は第2の出力端子に出力する二分決定グラフ回路を確実に実現することができる。

【0025】請求項8の発明は、請求項7の構成に、前記第1、第2、第3及び第4のトンネル障壁は、量子細線の断面が完全に酸化されることにより形成されている構成を付加するものである。

【0026】請求項9の発明は、請求項7の構成に、前記第1、第2、第3及び第4のトンネル障壁は、量子細線の断面の一部が酸化されることにより形成されている構成を付加するものである。

【0027】請求項10の発明は、請求項8又は9の構成に、前記S〇I基板における薄膜シリコン層の膜厚は50nm以下である構成を付加するものである。

【0028】

【発明の実施の形態】

(第1の実施形態) 本発明の第1の実施形態を図面に基づいて説明する。

【0029】図1(a)は本発明の第1の実施形態に係る量子効果素子を示す模式斜視図である。図1(a)に示すように、シリコンよりなる量子細線11に、シリコン酸化膜よりなる一対のトンネル障壁部12に挟まれてなるシリコン島部11aが形成されている。シリコン島部11aの側部の一方にはシリコン酸化膜よりなるゲート絶縁膜13を介して電位制御用のゲート電極14が設けられ、シリコン島11aの側部の他方にはシリコン酸化膜よりなる絶縁膜15を介して電位制御用の制御電極16が設けられている。

【0030】量子細線11の幅及び膜厚は、トンネル障壁部12の容量値が十分に小さくなるように10nm程度が好ましい。トンネル障壁部12は、量子細線11を局所的に膜厚方向に2nm～5nm酸化されることにより形成されている。ゲート絶縁膜13及び絶縁膜15は共にシリコン酸化膜よりなり、その幅は200nm以下であり、好ましくは数10nmである。また、シリコン島部11aは幅は10nmであり、長さは200nm以下であり、数10nmが好ましい。ゲート電極14及び

制御電極16はn型不純物が高濃度に添加された単結晶シリコンであるが、これに限らず金属であっても多結晶シリコンであってもよい。

【0031】本実施形態に係る量子効果素子は、各端子が図9(a)に示す疑似CMOS単一電子回路の4端子単一電子素子の端子にそれぞれ対応している。すなわち、量子細線11の一端11bがソース端子104に、量子細線11の他端11cがドレイン端子102に、ゲート電極14がゲート端子106に、制御電極16が電源端子108にそれぞれ対応している。従って、制御電極16に電源電位VDDを印加するとnチャネルトランジスタとして機能し、制御電極16に接地電位を印加するとpチャネルトランジスタとして機能する。

【0032】図1(b)は図1(a)に示すソース・ドレイン方向の断面図である。シリコン島部11aはトンネル障壁部12を形成する一対のシリコン酸化膜17が量子細線11が伸びる方向に互いに間隔をおいて形成されている。ここで、各シリコン酸化膜17は量子細線11の表面からそのほぼ中心部にまで形成されており、量子細線11の底部にまでは達していない。この構造を量子細線コンストリクション(=くびれ)構造と呼ぶ。その結果、トンネル電流が流れる際に、駆動力が低下せず、また、キャリアの速度も大きくなる。

【0033】図1(c)は図1(a)に示すソース・ドレイン方向の断面のエネルギー準位を示す図である。図1(c)に示すように、シリコン酸化膜17による量子細線コンストリクション構造を有しているため、トンネル障壁部12のエネルギー-bandギャップEg2が量子細線11のエネルギー-bandギャップEg1よりも大きくなっていることがわかる。ここで、C. B. は伝導帯、V. B. は価電子帯をそれぞれ表わしている。

【0034】このように、本実施形態の量子効果素子によると、電子数個でビット情報を記述でき、且つ、疑似CMOS構造を形成できるため、極めて消費電力が小さい電力素子を実現できる。

【0035】さらに、本量子効果素子は、シリコン島部11aを含めても原理的に一辺が数10nmの素子面積で収まるため超高集積化が可能となる。

【0036】なお、ゲート絶縁膜13及びゲート電極14と、絶縁膜15及び制御電極16とは便宜上の名称であり、互いに対応する部材が同一であるので、ゲート絶縁膜13側を電源端子108とし、制御電極16側をゲート端子106として扱えることは明らかである。

【0037】以下、本発明の第1の実施形態に係る量子効果素子の製造方法を図面に基づいて説明する。

【0038】図2(a)～(c)及び図3は本発明の第1の実施形態に係る量子効果素子の製造方法を示す工程順序図及び断面図である。まず、図2(a)に示すように、面方位が(001)のシリコン基板21と、該シリコン基板21の上に形成され厚さが100nmの埋め込み酸化膜22と、該埋め込み酸化膜22の上に形成され厚さが140nmの上部シリコン層(図示せず)とからなるSOI基板20を、温度が1000°Cの度酸素雰囲気中で約120分間酸化し、上部シリコン層の上部に酸化して形成された酸化膜をフッ化水素(HF)水溶液中で除去することにより上部シリコン層を薄膜化して、膜厚が10nmの薄膜シリコン層23を形成する。表面に金(Au)等をコートした導電性プローブ針(図1(b)の符号18にその先端部のみを示す、)を有する、例えは、原子間力顕微鏡(AFM)や走査型トンネル顕微鏡(STM)のような走査型プローブ顕微鏡を用いて、該導電性プローブ針を薄膜化された薄膜シリコン層23の所定領域に接近させた後、導電性プローブ針に-10Vのバイアス電圧を印加しながら<110>結晶軸方向に垂直、又は平行に走査して電界支援酸化を行なうことにより、電界支援酸化膜としてのシリコン酸化膜よりなり、交差部24Cで互いに直行する第1の直線バターン24Aと第2の直線バターン24Bとを形成する。

【0039】次に、図2(b)に示すように、エチレンジアミンが1000ml、ピロカテコールが144g及び純水が290mlの混合溶液をエッティング液に用いて、該エッティング液を温度80°Cに保ちつつ、SOI基板20に対して1分間のシリコン結晶異方性エッティングを行なう。シリコン結晶異方性エッティングは、(111)面のエッティングレートが約8nm/minであるのに対し、(100)及び(110)方向は約100nm/minのエッティングレートを持つ。図2(b)におけるI-I線断面図である図2(c)に示すように、この特性と、シリコン酸化膜よりなる第1及び第2の直線バターン24A、24Bの耐エッティング性とにより、該ウエットエッティング後には、埋め込み酸化膜22上に、(111)面を側面に持ち、互いに交差部23cを有しシリコンよりなる第1の量子細線23aと第2の量子細線23bとからなるシリコン微構造が形成される。この後、第1の直線バターン24A及び第2の直線バターン24Bをフッ酸等で除去する。

【0040】次に、図3に示すように、走査型プローブ顕微鏡を用いて、埋め込み酸化膜22の上における第1の量子細線23a及び第2の量子細線23bを含む領域を段差測定して、後工程の描画の位置合わせ用データを求める。その後、第1の量子細線23aにおける交差部23cを挟む第1の領域及び第2の領域に、(-10)Vのバイアス電圧が印加された導電性プローブ針を順次接近させて電界支援酸化を行なうことにより、第1の領域及び第2の領域に電界支援酸化膜よりなるトンネル障壁24a、24bをそれぞれ形成する。電界支援酸化によって生じた、導体であるシリコンの膜厚の差がバンドギャップの差に反映され、これにより、ポテンシャル障壁が形成されることになる。その結果、第1の量子細線

23aは、交差部23cが2つのトンネル障壁25aに挟まれるため、第1の量子細線23aの一端部にソース端子が、他端部にドレイン端子がそれぞれ形成される。各トンネル障壁25aは、顕微鏡の導電性プローブ針のバイアス電圧値等を変化させることにより、電界支擋酸化膜の膜厚等を変化させることができるので、該膜厚に応じて容量値やトンネル抵抗値を変化させることができる。

【0041】次に、第2の量子細線23bにおける交差部23cを挟む第3の領域及び第4の領域に、(−30) Vのバイアス電圧が印加された導電性プローブ針を順次接近させて電界支擋酸化を行なって、第3の領域及び第4の領域に電界支擋酸化膜よりなる絶縁膜25b、25bをそれぞれ形成することにより、一対のトンネル障壁25a、25a及び一対の絶縁膜25b、25bに囲まれてなるシリコン島部としての交差部23cが形成される。これにより、第2の量子細線23bは2つの絶縁膜25b、25bにより絶縁分離されるため、一端に電位制御用のゲート電極が形成され、他端に電位制御用の制御電極が形成されることになる。

【0042】このように、本実施形態に係る製造方法によると、走査型プローブ顕微鏡をパターン描画に用いているため、数nmレベルの微細加工を容易に行なえる。

【0043】また、電界支擋酸化プロセスにおける導電性プローブ針のバイアス条件を適当に選ぶことにより、素子特性や動作温度に大きく関係するトンネル障壁の容量値や抵抗値を最適化することができ、シリコン島部を形成する交差部23cを挟む一対のトンネル障壁25a、25aを非対称に形成することも可能である。この一対のトンネル障壁25a、25aを非対称に形成することにより、所望の回路に合わせて、例えば、出力側のトンネル障壁の容量を入力側のトンネル障壁の容量よりも小さくすることにより、出力時のスピードを大きくできるというメリットが生じる。

【0044】さらに、電界支擋酸化プロセスはシリコン原子表面のみを改質し、結晶異方性エッティングプロセスもウェットプロセスであるため、プロセスダメージフリーであるので、単一電子素子の誤動作原因となる界面準位等のオフセット電荷を極めて低いレベルに抑制することができる。

【0045】また、結晶異方性エッティングを用いているため、量子細線の側面は原子レベルで平坦であるので、長手方向の幅均一性、直線性に極めて優れており、従って、量子力学的な効果によって電子移動度の向上が期待できるので、高速動作が可能となる。

【0046】(第2の実施形態)以下、本発明の第2の実施形態を図面に基づいて説明する。

【0047】図4(a)は本発明の第2の実施形態に係る半導体装置を示す部分平面図である。図4(a)において、SOI基板の上に、シリコンよりなるキャリア転送部30と、該キャリア転送部30の一端部に第1のトンネル障壁41を介して電気的に接続されたシリコンよりなる第1の量子細線31と、キャリア転送部30の他端部に第2のトンネル障壁42を介して電気的に接続されたシリコンよりなる第2の量子細線32と、キャリア転送部30の前記一端部と前記他端部との間に第3のトンネル障壁43を介して電気的に接続されたシリコンよりなる第3の量子細線33とが形成されている。

【0048】さらに、キャリア転送部30の上に絶縁膜(図示せず)を介して形成された制御電極としての第1のゲート電極51と、第2の量子細線32の上に絶縁膜(図示せず)を介して形成された第2のゲート電極52と、第3の量子細線33の上に絶縁膜(図示せず)を介して形成された第3のゲート電極53とが形成されている。

【0049】キャリア転送部30及び第1～第3の量子細線31～33はそれぞれ幅100 nm以下で且つ導電性を有しておればよい。第1～第3のトンネル障壁41～43はエネルギー的な障壁として動作し、トンネル電流が流れればその材料を問わない。また、第1～第3のゲート電極51～53は電位を伝達できるものであればその材料を問わない。

【0050】第1の量子細線31を信号入力部とし、その入力電圧をAとする。第2の量子細線32を第1の出力検知部とし、その出力電圧をY0とする。第3の量子細線33を第2の出力検知部とし、その出力電圧をY1とする。第3のゲート電極53を信号用制御電極とし、その制御電位をX0とする。第1のゲート電極51及び第2のゲート電極52をクロック用制御電極とし、その制御電位をそれぞれu1及びu2とする。

【0051】図4(b)は本発明の第2の実施形態の第1変形例に係る半導体装置を示す部分平面図である。図4(b)において、SOI基板の上に、シリコンよりなる第1のキャリア転送部30Aと、該第1のキャリア転送部30Aの一端部に第1のトンネル障壁41を介して電気的に接続されたシリコンよりなる第1の量子細線31と、第1のキャリア転送部30Aの他端部に第2のトンネル障壁42を介して電気的に接続されたシリコンよりなる第2の量子細線32と、第1のキャリア転送部30Aの前記一端部と前記他端部との間に第3のトンネル障壁43を介して電気的に接続されたシリコンよりなる第2のキャリア転送部33Aと、該第2のキャリア転送部33Aにおける第2の量子細線32側の側部に第4のトンネル障壁44を介して電気的に接続されたシリコンよりなる第3の量子細線34とが形成されている。

【0052】さらに、第1のキャリア転送部30Aの上に絶縁膜(図示せず)を介して形成された第1のゲート電極51と、第2の量子細線32及び第3の量子細線34の上に絶縁膜(図示せず)を介して形成された第2のゲート電極52と、第2のキャリア転送部33Aの上に

範囲膜(図示せず)を介して形成された第3のゲート電極 U_3 とが形成されている。

【0053】第1及び第2のキャリア転送部 $30A$ 、 $33A$ 及び第1～第3の量子細線 31 、 32 、 34 はそれぞれ幅 $0.1\mu m$ 以下で且つ導電性を有しておればよい。第1～第4のトンネル障壁 41 ～ 44 はエネルギー的障壁として動作し、トンネル電流が流れればその材料を問わない。また、第1～第3のゲート電極 U_1 ～ U_3 は電位を伝達できるものであればその材料を問わない。

【0054】第1の量子細線 31 を信号入力部とし、その入力電圧を A とする。第2の量子細線 32 を第1の出力検知部 Y_0 とし、第3の量子細線 34 を第2の出力検知部 Y_1 とする。第3のゲート電極 U_3 を信号用制御電極とし、その制御電位を X_0 とする。第1のゲート電極 U_1 及び第2のゲート電極 U_2 をクロック用制御電極とし、その制御電位をそれぞれ μ_1 及び μ_2 とする。

【0055】図4は本発明の第2の実施形態の第1変形例に係る半導体装置の等価回路図である。第1のキャリア転送部 $30A$ は第1のトンネル障壁 41 、第2のトンネル障壁 42 及び第3のトンネル障壁 43 により囲まれており、第2のキャリア転送部 $33A$ は第3のトンネル障壁 43 及び第4のトンネル障壁 44 により囲まれているため、第1のキャリア転送部 $30A$ 又は第2のキャリア転送部 $33A$ に電子が格納されると、電子間のクーロン相互作用により他の電子は格納できなくなる。また、第1のゲート電極 U_1 又は第3のゲート電極 U_3 に適当な低い電位を印加しておくと、第1のキャリア転送部 $30A$ 又は第2のキャリア転送部 $33A$ から電子が流出することもない。第1の量子細線 31 に電子が存在する場合に、第1のゲート電極 U_1 に適当な高い電位を印加すると、該第1の量子細線 31 中の電子は第1のキャリア転送部 $30A$ に移動する。このとき、第3のゲート電極 U_3 にさらに高い電位を印加すると、第1のキャリア転送部 $30A$ に移動した電子は、さらに第2のキャリア転送部 $33A$ に移動する。

【0056】図6は本発明の第2の実施形態の第1変形例に係る半導体装置における各制御電圧を示すタイミングチャートである。図6に示すタイミングで、第1～第3のゲート電極 U_1 ～ U_3 に対応する制御電位 μ_1 、 μ_2 、 X_0 をそれぞれ印加すると、第1の出力検知部の出力電圧 Y_0 、及び第2の出力検知部の出力電圧 Y_1 にそれぞれ排他的に電荷が取出される。

【0057】これにより、本実施形態に係る回路は、制御電位 X_0 がH(ハイ)であるならば、入力電圧 A の電荷を第2の出力検知部に出力電圧 Y_1 として転送することができる一方、制御電位 X_0 がL(ロー)であるならば、第1の出力検知部に出力電圧 Y_0 として転送することができるので、二分決定グラフ回路が構成されることになる。

【0058】従って、本実施形態によると、量子細線を用いた単電子トランジスタによって二分決定グラフ回路が容易に且つ確実に形成される。

【0059】なお、量子細線を構成する材料にシリコンを用いたが、導電性を有する材料であればよい。トンネル障壁はエネルギー的な障壁として動作し、トンネル電流が流れればよく、例えば、薄いシリコン酸化膜や、量子細線の周辺酸化による量子細線コンストリクション構造等を用いるとよい。ゲート電極の材料としては、通常、シリコン多層配線プロセスとの整合性を図るためにアルミニウム等が考えられるが、電位を伝達することができる材料であればよい。

【0060】(第3の実施形態)以下、本発明の第3の実施形態を図面に基づいて説明する。

【0061】図7は本発明の第3の実施形態に係る半導体装置を示す部分平面図である。図8(a)～(f)は本発明の第3の実施形態に係る半導体装置の製造方法を示し、図7のIII-III線における工程順断面図である。まず、図8(a)に示すように、例えば、Si-MOX法を用いて、シリコン基板 61 と、該シリコン基板 61 の上に形成され厚さが 80 nm の埋め込み酸化膜 62 と、該埋め込み酸化膜 62 の上に形成され厚さが 180 nm で正面の面方位が $<100>$ である上部シリコン層 $63A$ とからなるSOI基板 60 を形成する。

【0062】次に、図8(b)に示すように、SOI基板 60 を温度が 1000°C の度酸素雰囲気中で約120分間酸化し、上部シリコン層 $63A$ の上部に酸化して形成された酸化膜をフッ化水素(HF)水溶液中で除去することにより上部シリコン層 $63A$ を薄膜化して、膜厚が 0 nm の薄膜シリコン層 $63B$ を形成する。

【0063】次に、図8(c)に示すように、表面に金(Au)等をコートした導電性プローブ針 90 を有する、例えば、原子間力顕微鏡(AFM)や走査型トンネル顕微鏡(STM)のような走査型プローブ顕微鏡を用いて、該導電性プローブ針 90 を薄膜化された薄膜シリコン層 $63B$ の正面の第1の直線パターンを形成する所定領域に接近させる。その後、導電性プローブ針 90 を接地電位とし、薄膜シリコン層 $63B$ に $+9\text{ V}$ のバイアス電圧を印加したまま、該導電性プローブ針 90 を毎秒約 $0.25\mu m$ の速度で薄膜シリコン層 $63B$ の正面に沿って直線状に移動させ、薄膜シリコン層 $63B$ に印加した電界による電界支援酸化を行なって、薄膜シリコン層 $63B$ の表面に、線幅が約 100 nm で膜厚が 5 nm の電界支援酸化膜であり、第1の直線パターンとしてのシリコン酸化膜 $64A$ を形成する。続いて、第1の直線パターンにおける第1のキャリア転送部としての第1の分岐部(図7に示す符号81)から、正面内に該第1の直線パターンに垂直に延びる第2の直線パターンを同じく電界支援酸化法を用いて形成すると共に、第2の直線パターンにおける第2のキャリア転送部としての第2の

分岐部(図7に示す符号82)から、主面内で該第2の直線パターンに垂直且つ第1の直線パターンに平行に延びる第3の直線パターンとしてのシリコン酸化膜65Cとを同様に形成する。

【0064】次に、図8(d)に示すように、エチレンジアミンが300mL、ビロカテコールが48mL及び純水が98mLの混合溶液をエッティング液に用いて、該エッティング液を温度80°Cに保ちつつ、SOI基板60に対して30秒間の異方性エッティングを行なう、このエッティング液はシリコンに対してエッティングを行なうが、エッティング速度が面方位によって異なっており、<111>方向は他の面方位と比較して非常に遅い、従って、このエッティング液中に30秒間浸した後の薄膜シリコン層63Bはシリコン酸化膜65A、65C等の下側部分のみが残るので、第1の量子細線63a、第2の量子細線(図7に示す符号63b)及び第3の量子細線63cがそれぞれ形成される。各量子細線63a、63b、63cの側面はそれぞれ<111>面となっている。ここで、各量子細線63a、63b、63cの上面はシリコン酸化膜65A等によって保護されているためエッティングされない。

【0065】次に、図8(e)に示すように、第1の量子細線63aにおける第1の分岐部81に対する第3の量子細線63cの反対側の第1の領域に導電性プローブ針90を接近させると共に、該導電性プローブ針90を接地電位に印加し且つ第1の量子細線63aに+15Vのバイアス電圧を印加しつつ、該導電性プローブ針90を第1の量子細線63aに対して垂直に毎秒約0.25μmの速度で第1の量子細線63aの表面に沿って移動させる。これにより、印加した電界による電界支援酸化を用いて、該第1の領域に線幅及び膜厚が約10nmの第1のトンネル障壁としての障壁酸化膜(図7に示す符号66A)を形成する。同様に、第1の量子細線63aにおける第1の分岐部81に対する第3の量子細線63c側の第2の領域に導電性プローブ針90を接近させて電界支援酸化を行なうことにより、該第2の領域に電界支援酸化膜よりなる第2のトンネル障壁としての障壁酸化膜66Bを形成する。続いて、同様に、第2の量子細線63bにおける第2の分岐部82に対する第1の分岐部81側の第3の領域に導電性プローブ針90を接近させて電界支援酸化を行なうことにより、該第3の領域に電界支援酸化膜よりなる第3のトンネル障壁としての障壁酸化膜(図7に示す符号66C)を形成すると共に、第3の量子細線63cにおける第2の分岐部82側の第4の領域に導電性プローブ針90を接近させて電界支援酸化を行なうことにより、該第4の領域に電界支援酸化膜よりなる第4のトンネル障壁としての障壁酸化膜(図7に示す符号66D)を形成する。

【0066】次に、図8(f)に示すように、例えば、常圧CVD法を用いて、SOI基板60の上に全面にわ

たって厚さが100nmの層間絶縁膜としてのシリコン酸化膜67を堆積した後、スパッタ法を用いて該シリコン酸化膜67の上に全面にわたって厚さが500nmのアルミニウム薄膜を堆積する。その後、フォトリソグラフィーを用いて該アルミニウム薄膜に対して選択的にエッチングを行なって、第1の分岐部81の上方に第1のゲート電極(図7に示す符号68A)と、第1の量子細線63aにおける障壁酸化膜66Bの第3の量子細線63c側の上方及び第3の量子細線63cの上方に第2のゲート電極(図7に示す符号68B)と、第2の分岐部82の上方に第3のゲート電極68Cとをそれぞれ形成する。

【0067】このように、本実施形態によると、第2の実施形態の第1の変形例に示した二分決定グラフ回路を実現する半導体装置と同一構成の、量子細線を用いた単電子トランジスタにより構成される半導体装置を確実に製造することができる。

【0068】また、走査型プローブ顕微鏡をパターン描画に用いているため、数nmレベルの微細加工を容易に行なえると共に、電界支援酸化プロセスにおける導電性プローブ針のバイアス条件を適当に選ぶことにより、素子特性や動作温度に大きく関係するトンネル障壁の容量値や抵抗値を最適化することができる。

【0069】さらに、電界支援酸化プロセスはシリコン原子表面のみを改質し、結晶異方性エッティングプロセスもウエットプロセスであるため、プロセスダメージフリーであるので、単一電子素子の誤動作原因となる界面準位等のオフセット電荷を極めて低いレベルに抑制することができる。

【0070】また、結晶異方性エッティングを用いているため、量子細線の側面は原子レベルで平坦であるので、長手方向の幅均一性、直線性に極めて優れており、従って、量子力学的な効果によって電子移動度の向上が期待できるので、高速動作が可能となる。

【0071】なお、量子細線の材料としてシリコンを用いたが、導電性を有すればその材料を問わない。

【0072】また、障壁酸化膜は各量子細線を完全に酸化しない、いわゆる、量子細線の周辺部酸化による量子細線コンストリクション構造によって障壁を形成したが、各量子細線の線幅をさらに微細化できれば、各量子細線を完全に酸化してもよい。このようにすると、装置のリーク電流が抑制されると共に、装置の冷却温度を比較的高温にすることができる。なお、各障壁酸化膜はエネルギー的な障壁として動作し、トンネル電流を流すことができるものであればその材料を問わない。例えば、薄いシリコン酸化膜や量子細線の周辺酸化による量子細線コンストリクション構造等を用いるとよい。

【0073】また、ゲート電極の材料としては、シリコン多層配線プロセスとの整合性を図るためアルミニウムを用いたが、電位を伝達することができればその材料を

間わないことはいうまでもない。

【0074】また、導電性プローブ針の材料には、一般に、金をコーティングしたシリコンが用いられるが、この他にタンクステンや不純物拡散を行なったシリコン等を用いててもよい。

【0075】また、異方性エッチングにエチレンジアミンとフロカテフールとの混合水溶液を用いたが、エッチング速度が面方位により異なり、特定の面方位のエッチング速度が他の面方位のエッチング速度よりも非常に遅ければ、水酸化カリウム (KOH) やテトラメチルアンモニウムハイドロオキサイド (TMAH) 等の他の溶液を用いててもよい。この場合には、正面の面方位を溶液の異方性によって変更する必要があることはいうまでもない。

【0076】

【発明の効果】請求項1の発明に係る量子効果素子によると、シリコンよりなり、一対のトンネル障壁部に挟まれてなる島部を有する量子細線と、該島部に形成されたゲート絶縁膜を介して設けられたゲート電極とを備えているため、量子細線の一端部をソース電極とし、他端部をドレイン電極とすると、電子数個でビット情報を記述できる疑似CMOS単一電子回路に用いる単一電子素子を確実に実現できる。さらに、島部のゲート電極に対する反対側の側部に絶縁膜を介して別のゲート電極を接続すれば、4端子単一電子素子を容易に且つ確実に実現することができる。これにより、極めて低消費電力の素子が実現可能となり、さらに、島部を含めても原理的に一辺が数10 nmの素子面積で収まるため、超高集積化が可能となる。

【0077】請求項2の発明に係る量子効果素子の製造方法によると、第1の量子細線の第1の領域側の端部をソース電極とし、第2の領域側の端部をドレイン電極とし、第2の量子細線の第3の領域側の端部を第1のゲート電極とし、第4の領域側の端部を第2のゲート電極とすると疑似CMOS単一電子回路に用いる4端子単一電子素子を確実に実現することができる。

【0078】請求項3又は4の発明に係る半導体装置によると、第1の量子細線を入力端子とし、第2の量子細線を第1の出力端子とし、第3の量子細線を第2の出力端子とし、入力端子に入力され、キャリア転送部に絶縁膜を介して形成された第1の制御電極に電位を印加することにより該キャリア転送部に転送されたキャリアを、第2の制御電極又は第3の制御電極に電位を印加することにより、第1の出力端子又は第2の出力端子に出力する二分決定グラフ回路を容易に且つ確実に実現することができる。

【0079】請求項4又は5の発明に係る半導体装置によると、第1～第4の各トンネル障壁は、量子細線の一部が他の部分よりも断面積が小さく形成された量子細線コンストリクション構造となるため、キャリアに対し

て確実にトンネル障壁が形成されると共に、キャリア速度を大きくできる。

【0080】請求項7の発明に係る半導体装置の製造方法によると、第1の量子細線における第1のトンネル障壁側の端部を入力端子とし、第1の量子細線の第2のトンネル障壁側の端部を第1の出力端子とし、第3の量子細線の端部を第2の出力端子とし、入力端子に入力され、第1の分岐部の上方の領域に形成された第1の制御電極に電位を印加することにより第1の分岐部に転送されたキャリアを、第1の量子細線における第2のトンネル障壁に対する第3の量子細線側の上方の領域及び第3の量子細線の上方の領域に形成された第2の制御電極に、又は第2の分岐部の上方の領域に形成された第3の制御電極に電位を印加することにより、第1の出力端子又は第2の出力端子に出力する二分決定グラフ回路を容易に且つ確実に実現することができる。

【0081】請求項8の発明に係る半導体装置の製造方法によると、各量子細線におけるトンネル障壁は量子細線の断面を完全に酸化して構成されているため、リーク電流が抑制されると共に、装置の冷却温度を比較的高温にすることができる。

【0082】請求項9の発明に係る半導体装置の製造方法によると、各量子細線におけるトンネル障壁は量子細線の断面の一部を酸化して形成されるため、トンネル障壁が容易に形成されると共に、キャリア速度を大きくできる。

【0083】請求項10の発明に係る半導体装置の製造方法によると、SOI基板における薄膜シリコン層の膜厚はう0 nm以下であるため、量子細線を確実に形成することができる。

【0084】また、該膜厚が2 nm～10 nmの場合には、請求項8の発明に係る半導体装置の製造方法の効果が得られることになり、該膜厚が10 nm～50 nmの場合には、請求項9の発明に係る半導体装置の製造方法の効果が得られることになる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施形態に係る量子効果素子を示す模式斜視図である。(b)はソース・ドレイン方向の断面図である。(c)はソース・ドレイン方向の断面のエネルギー準位を示す図である。

【図2】本発明の第1の実施形態に係る量子効果素子の製造方法を示す工程順斜視図及び断面図である。

【図3】本発明の第1の実施形態に係る量子効果素子の製造方法を示す工程順斜視図である。

【図4】(a)は本発明の第2の実施形態に係る半導体装置を示す部分平面図である。(b)は本発明の第2の実施形態の第1変形例に係る半導体装置を示す部分平面図である。

【図5】本発明の第2の実施形態の第1変形例に係る半導体装置の等価回路図である。

【図6】本発明の第2の実施形態の第1変形例に係る半導体装置における各制御電圧を示すタイミングチャートである。

【図7】本発明の第3の実施形態に係る半導体装置を示す部分平面図である。

【図8】本発明の第3の実施形態に係る半導体装置の製造方法を示し、図7のIII-III線における工程順断面図である。

【図9】(a)は従来の疑似CMOS単一電子回路に用いる4端子単一電子素子を示す概略回路図である。

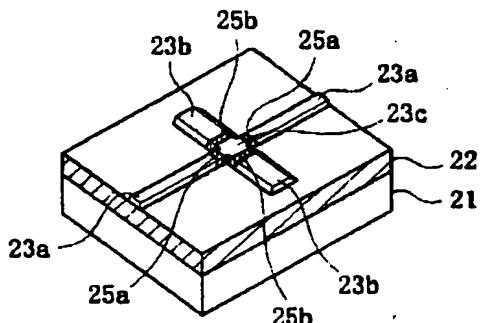
(b)は従来の4端子単一電子素子の動作のシミュレーション結果を表わすグラフである。

【符号の説明】

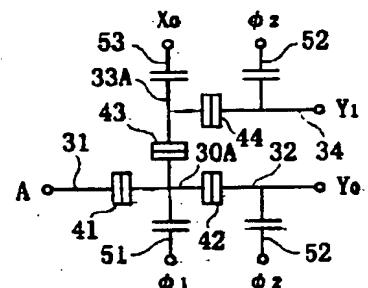
11	量子細線
11a	シリコン島部
12	トンネル障壁部
13	ゲート絶縁膜
14	ゲート電極
15	絶縁膜
16	制御電極
17	シリコン酸化膜
18	導電性プローブ針
20	SOI基板
21	シリコン基板
22	埋め込み酸化膜
23	薄膜シリコン層
23a	第1の量子細線
23b	第2の量子細線
23c	交差部
24A	第1の直線パターン
24B	第2の直線パターン
24C	交差部
25a	トンネル障壁
25b	絶縁膜

30	キャリア転送部
30A	第1のキャリア転送部
31	第1の量子細線
32	第2の量子細線
33	第3の量子細線
33A	第2のキャリア転送部
41	第1のトンネル障壁
42	第2のトンネル障壁
43	第3のトンネル障壁
44	第4のトンネル障壁
51	第1のゲート電極
52	第2のゲート電極
53	第3のゲート電極
60	SOI基板
61	シリコン基板
62	埋め込み酸化膜
63A	上部シリコン層
63B	薄膜シリコン層
63a	第1の量子細線
63b	第2の量子細線
63c	第3の量子細線
65A	シリコン酸化膜(第1の直線パターン)
65C	シリコン酸化膜(第2の直線パターン)
66A	障壁酸化膜(第1のトンネル障壁)
66B	障壁酸化膜(第2のトンネル障壁)
66C	障壁酸化膜(第3のトンネル障壁)
66D	障壁酸化膜(第4のトンネル障壁)
67	シリコン酸化膜(層間絶縁膜)
68A	第1のゲート電極
68B	第2のゲート電極
68C	第3のゲート電極
81	第1の分岐部(第1のキャリア転送部)
82	第2の分岐部(第2のキャリア転送部)
90	プローブ針

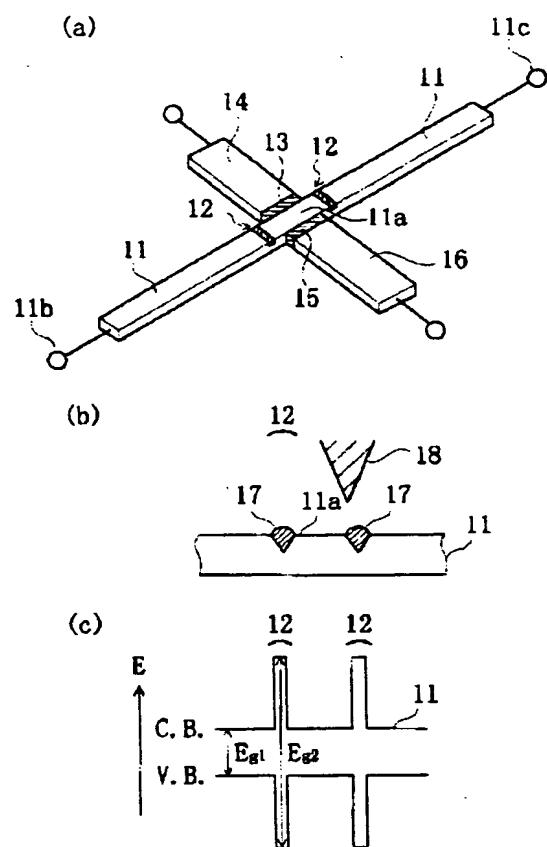
【図3】



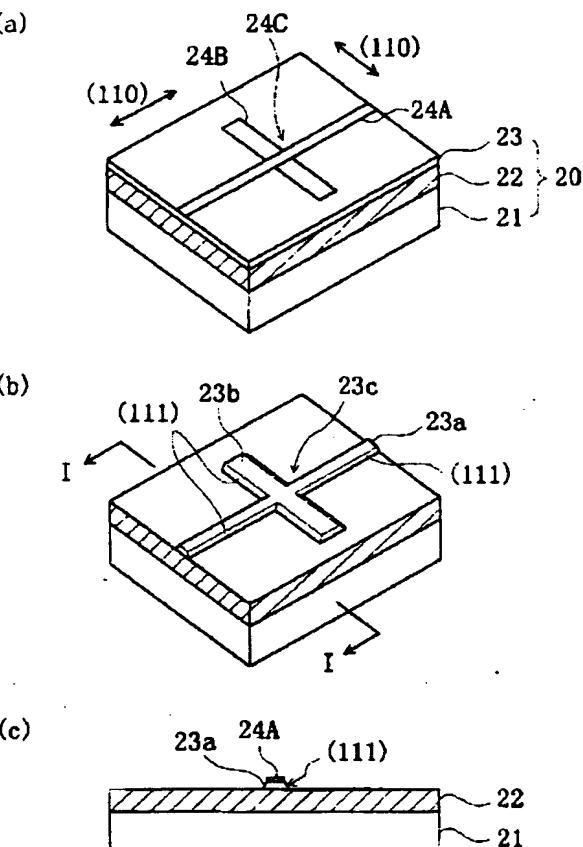
【図5】



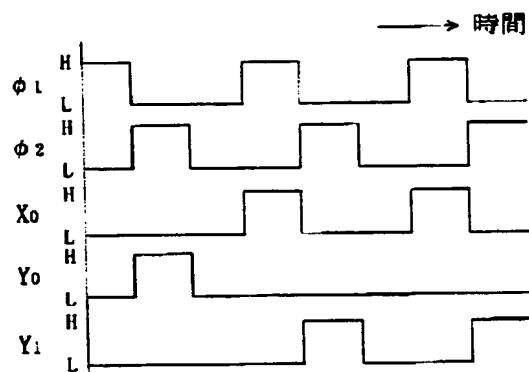
【図1】



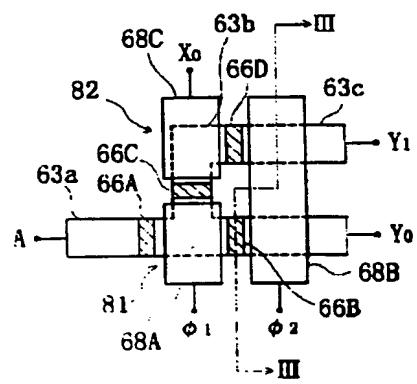
【図2】



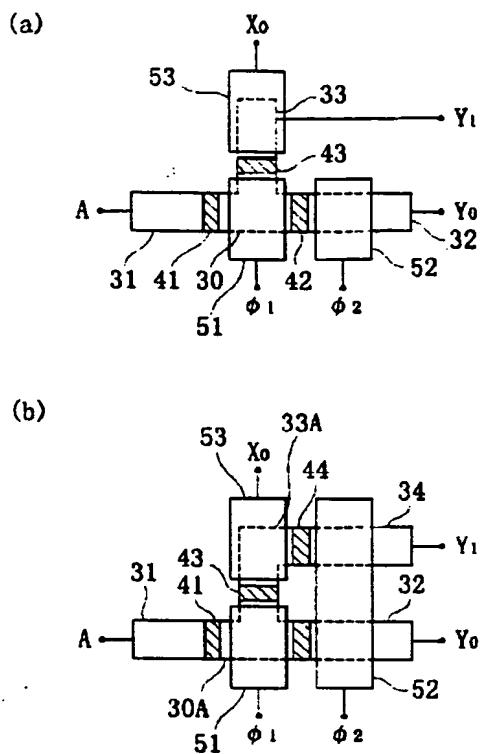
【図6】



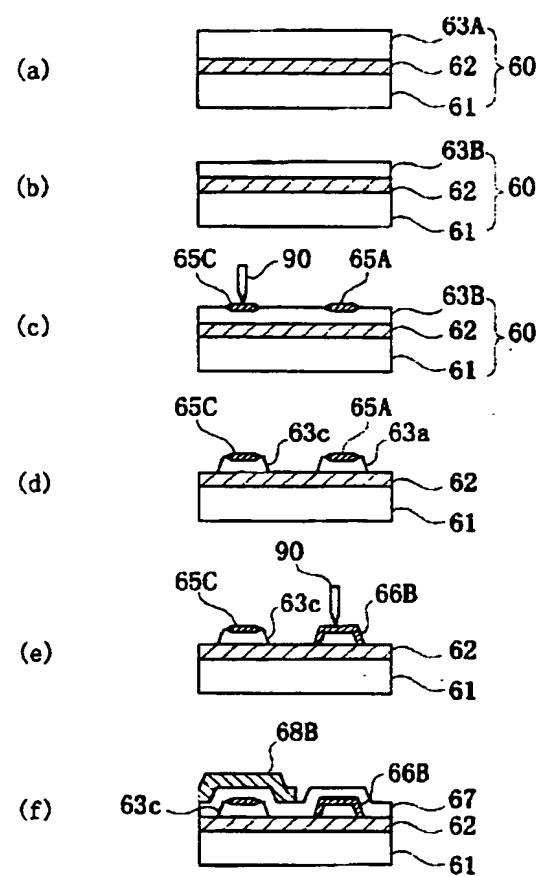
【図7】



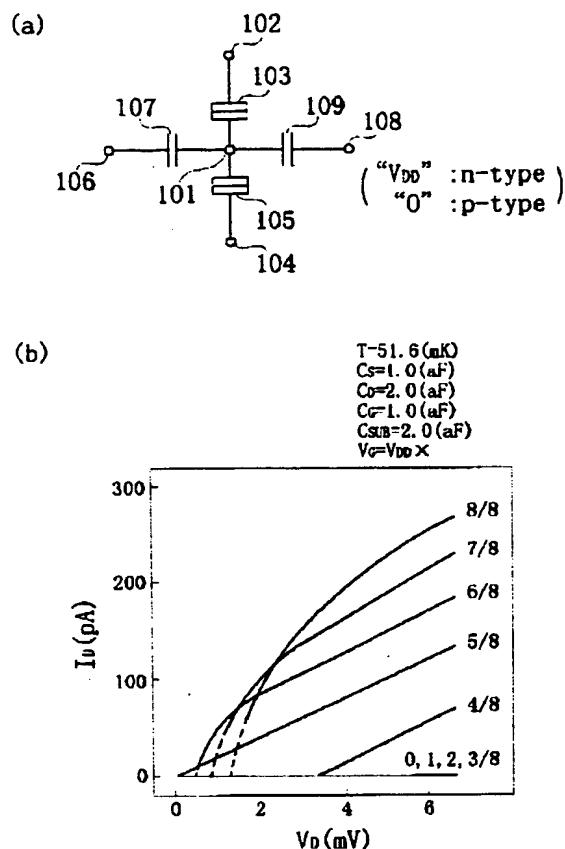
【図4】



【図8】



【図9】



フロントページの続き

(72) 発明者 平井 義彦
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(72) 発明者 幸 康一郎
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

This Page Blank (uspto)